

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

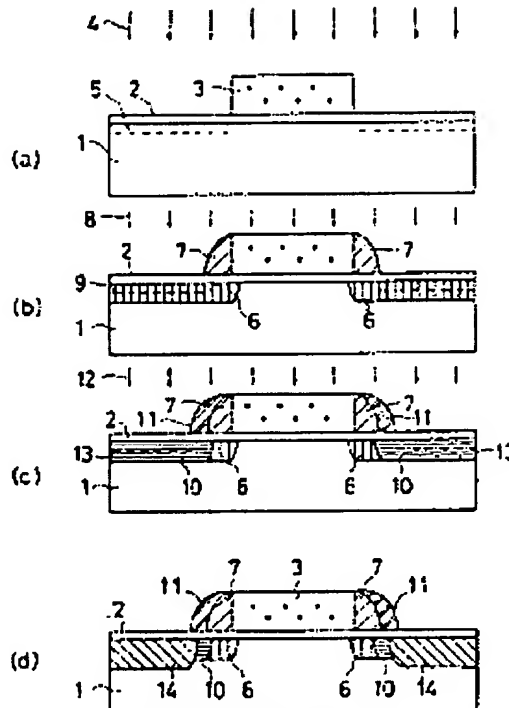
Patent number: JP63066967
Publication date: 1988-03-25
Inventor: KAGA TORU; others: 04
Applicant: HITACHI LTD
Classification:
- international: H01L29/78
- european:
Application number: JP19860209448 19860908
Priority number(s):

[Report a data error here](#)

Abstract of JP63066967

PURPOSE: To reduce the variations in the intrinsic characteristics of an LDD structure by providing impurity concentration distributions which are varied in the order of middle, low and high in a direction separating from a gate electrode at least in a drain region of source, drain regions.

CONSTITUTION: At least drain region of source, drain regions has impurity concentration distributions which are varied in the order of middle, low and high in a direction separating from a gate electrode 3. With the electrode 3 as a mask a second conductivity type impurity is doped in a semiconductor substrate 1 to form a middle concentration drain region of middle concentration source, drain regions 6. Then, with the electrode 3 and a sidewall spacer 7 as masks first conductivity type impurity is doped to form at least low concentration drain region of low concentration source, drain regions 10. Thereafter, with the electrode 3 and sidewall spacers 7, 11 as masks second conductivity type impurity is doped to form high concentration source, drain regions 14.



Data supplied from the [esp@cenet](#) database - Patent Abstracts of Japan

⑫ 公開特許公報(A)

昭63-66967

⑤ Int. Cl.⁴

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

L-8422-5F

④ 公開 昭和63年(1988)3月25日

審査請求 未請求 発明の数 2 (全10頁)

④ 発明の名称 半導体装置およびその製造方法

② 特 願 昭61-209448

② 出 願 昭61(1986)9月8日

⑦ 発 明 者 加 賀 徹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑦ 発 明 者 酒 井 芳 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑦ 発 明 者 井 沢 龍 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑦ 発 明 者 井 倉 康 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑧ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑧ 代 理 人 弁理士 中村 純之助
最終頁に続く

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. 第1導電型の半導体基体の上に絶縁膜を介して設けたゲート電極と、該ゲート電極の両側の上記半導体基体表面領域に設けた上記第1導電型とは反対導電型の第2導電型のソース、ドレイン領域を少なくとも有する半導体装置において、上記ソース、ドレイン領域のうち少なくともドレイン領域が、上記ゲート電極から離れる方向に中、低、高の順に変化する不純物濃度分布を有することを特徴とする半導体装置。
2. 第1導電型の半導体基体上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート電極を形成する工程と、上記ゲート電極をマスクとして上記半導体基体に上記第1導電型と反対導電型の第2導電型の不純物をドーピングして、上記ゲート電極直下を除く上記半導体基体表面領域に第2導電型の中濃度ソース、ドレイン領域

のうち少なくとも中濃度ドレイン領域を形成する工程と、上記ゲート電極とその側壁に形成したサイドウォールスペースとをマスクとして上記半導体基体に第1導電型の不純物をドーピングして、上記第2導電型の不純物がドーピングされた上記半導体基体表面の不純物濃度を濃度補償によって実質的に低減させて低濃度ソース、ドレイン領域のうち少なくとも低濃度ドレイン領域を形成する工程と、上記ゲート電極とサイドウォールスペースとをマスクとして上記半導体基体に第2導電型の不純物をドーピングすることにより高濃度ソース、ドレイン領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

3. 上記ゲート電極とその側壁に形成した上記サイドウォールスペースとをマスクとして上記第1導電型の不純物をドーピングして上記低濃度ソース、ドレイン領域のうち少なくとも低濃度ドレイン領域を形成し、続いて上記ゲート電極と上記サイドウォールスペースとをマスクとして上

記第2導電型の不純物をドーブして上記高濃度ソース、ドレイン領域を形成することを特徴とする特許請求の範囲第2項記載の半導体装置の製造方法。

4. 上記ゲート電極とその側壁に形成した上記サイドウォールスペーサとをマスクとして上記第1導電型の不純物をドーブして上記低濃度ソース、ドレイン領域のうち少なくとも低濃度ドレイン領域を形成し、次に、上記サイドウォールスペーサの側壁に第2のサイドウォールスペーサを形成し、上記ゲート電極、上記サイドウォールスペーサおよび第2のサイドウォールスペーサとをマスクとして上記第2導電型の不純物をドーブして上記高濃度ソース、ドレイン領域を形成することを特徴とする特許請求の範囲第2項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、絶縁ゲート型トランジスタを有する半導体装置およびその製造方法に係り、特にトラ

物濃度分布を緩やかにすることにより、ドレイン端部で高電界が集中するのを抑制し、ソース、ドレイン間耐圧およびホットキャリア耐性を向上させようとするものである。

しかし、このLDD構造の場合、半導体基板内部のドレイン端で発生したホットキャリアが、ゲート電極側壁に形成された SiO_2 膜から成るサイドウォールスペーサに注入され、該 SiO_2 膜中の捕獲中心に捕獲され、この捕獲された電荷が低濃度ドレイン領域の抵抗を変化させ、トランジスタの電流-電圧特性の変動、すなわち、しきい電圧の変化、トランスコンダクタンスの減少を引き起こす問題がある。この特性変動を防止するには、低濃度ドレイン領域の不純物濃度を増加する方法が有効と考えられる。しかし、この場合は、低濃度ドレイン領域の抵抗が減り、電界緩和効果が著しく減少するため、結果としてホットキャリア発生量が増大し、トランジスタの電流-電圧特性変動量が増大する問題がある。

一方、特性変動を低減させるもう1つの方法と

ンジスタの信頼度を向上させ得る半導体装置およびその製造方法に関する。

〔従来の技術〕

従来の信頼度向上を目的とした絶縁ゲート型トランジスタ、例えばMOSトランジスタとしては、プロシーディングス・オブ・ジ・アイ・イー・イー・イー・インターナショナル・エレクトロニクス・デバイス・ミーティング (Proceedings of the IEEE International Electron Devices Meeting) 1984年12月9日～12日、第774～777頁に示すLDD (Lightly Doped Drain) 構造が主流である。このLDD構造は、周知のように、第1導電型の不純物を含む半導体基板表面領域に設けた第1導電型と反対導電型の第2導電型のソース・ドレイン不純物ドーブ領域を、それぞれ高濃度不純物ドーブ領域と、ゲート電極に隣接する低濃度不純物ドーブ領域とで構成するものである。このように、ゲート電極に隣接するドレイン端部に低濃度不純物ドーブ領域を設け、ドレイン端部における不純

して、低濃度ドレイン領域の不純物濃度を減少させる方法も考えられる。しかし、この場合は、電界緩和効果は向上するものの、上記ホットキャリアがサイドウォールスペーサ中に注入されて捕獲された電荷によって低濃度ドレイン領域の抵抗変動効果が著しく増大するため、結果としてトランジスタの電流-電圧特性変動量が増大する。

すなわち、従来のLDD構造トランジスタの低濃度ドレイン領域の不純物濃度には最適濃度があり、この濃度からずれるとホットキャリアに起因する特性変動が増大する。このため、従来のLDD構造トランジスタでは低濃度ドレイン領域の不純物濃度を変えるだけではより高い信頼性を得ることはできなかった。

〔発明が解決しようとする問題点〕

上記従来のLDD構造では、単に低濃度ドレイン領域の不純物濃度を変える以外に、LDD固有の電流-電圧特性変動を減少させる手段がなかった。このため、トランジスタが微細化し、LDD固有の特性変動が顕著になるに及んでも、従来の

技術では、抜本的に変動量を低減させることができなかった。

本発明の目的は、LDD構造固有の特性変動要因である①ホットキャリアの発生と、②サイドウォールスペース中に蓄積されたホットキャリアの電荷による低濃度領域の抵抗変動を独立に制御する新しいLDD型の不純物ドーピング構造を用いることによって、LDD構造固有の特性変動を低減させることにある。

〔問題点を解決するための手段〕

上記の目的を達成するために、本発明の半導体装置は、第1導電型の半導体基体の上に絶縁膜を介して設けたゲート電極と、該ゲート電極の両側の上記半導体基体表面領域に設けた上記第1導電型とは反対導電型の第2導電型のソース、ドレイン領域を少なくとも有する半導体装置において、上記ソース・ドレイン領域のうち少なくともドレイン領域が、上記ゲート電極から離れる方向に中、低、高の順に変化する不純物濃度分布を有することを特徴とする。

体基体に第2導電型の不純物をドーピングすることにより高濃度ソース、ドレイン領域を形成する工程とを具備することを特徴とする。

〔作用〕

ゲート電極に隣接した比較的高濃度の低濃度ドレイン領域（以下、中濃度ドレイン領域と称す。）は、サイドウォールスペースに注入・捕獲されたホットキャリア電荷による抵抗変動効果を低減する効果を有する。

一方、この中濃度ドレイン領域の外側に隣接し、該中濃度ドレイン領域よりも低不純物濃度の低濃度ドレイン領域を、従来のLDD構造の低濃度領域に比べてより低濃度化することにより、LDD構造の電界緩和効果を増大させ、ホットキャリアの発生を低減することができる。

従って、このように従来のLDD構造の低濃度領域を、ゲート電極から離れる方向に中濃度領域および低濃度領域によって構成される本発明を用いることによって、ドレイン領域の抵抗変動を減少させ、かつホットキャリアの発生を低減するこ

また、本発明の半導体装置の製造方法は、第1導電型の半導体基体上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート電極を形成する工程と、上記ゲート電極をマスクとして上記半導体基体の上に上記第1導電型と反対導電型の第2導電型の不純物をドーピングして、上記ゲート電極直下を除く上記半導体基体表面領域に第2導電型の中濃度ソース、ドレイン領域のうち少なくとも中濃度ドレイン領域を形成する工程と、上記ゲート電極とその側壁に形成したサイドウォールスペースとをマスクとして上記半導体基体に第1導電型の不純物をドーピングして、上記第2導電型の不純物がドーピングされた上記半導体基体表面の不純物濃度を濃度補償によって実質的に低減させて低濃度ソース、ドレイン領域のうち少なくとも低濃度ドレイン領域を形成する工程と、上記ゲート電極および上記サイドウォールスペース、もしくは上記ゲート電極、上記サイドウォールスペースおよび該サイドウォールスペースの側壁に形成した第2のサイドウォールスペースとをマスクとして上記半導

とができるため、従来のLDD構造に比べて、LDD固有の特性劣化現象を著しく低減させることができる。

〔実施例〕

実施例 1

第1図(a)～(d)は本発明の第1の実施例のLDD型MOSトランジスタを示す製造工程断面図である。

まず、同図(a)に示すように、p型Si基板1上にゲート酸化膜2を形成し、多結晶Siを用いてゲート電極3を形成した後、低濃度ソース、ドレイン形成用のn型不純物、例えばリン(P)のイオン打ち込み4を、打ち込みエネルギー40 keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ の条件で行い、リンドーピング層5を形成する。

次に、同図(b)に示すように、950℃、10分、窒素雰囲気の中でアニールを行い、中濃度ソース、ドレイン領域6を形成した後、低圧化学気相成長法によってSiO₂膜をSi基板上に被着し、異方性ドライエッチングによってゲート電極3の

側壁のみに SiO_2 からなる第1のサイドウォールスペーサ7を形成した後、例えば打ち込みエネルギー 25keV 、ドーズ量 $5 \times 10^{13} \text{cm}^{-2}$ の条件で、p型不純物のボロン(B)のイオン打ち込み8を行い、ボロンドープ層9を形成する。

次に、上記アニールと同様の条件でアニールを行って、同図(c)に示すように、低濃度ソース、ドレイン領域10を形成した後、第1のサイドウォールスペーサ7の形成(同図(b))と同様の方法で、 SiO_2 からなる第2のサイドウォールスペーサ11を形成し、さらに、n型高濃度不純物ドープ領域を形成するために、例えば打ち込みエネルギー 80keV 、ドーズ量 $5 \times 10^{13} \text{cm}^{-2}$ の条件で、n型不純物のヒ素(As)のイオン打ち込み12を行いヒ素ドープ層13を形成する。

最後に、上記アニールと同様の条件でアニールを行って、同図(d)に示すように、高濃度ソース、ドレイン領域14を形成して、MOSトランジスタを作製する。すなわち、本実施例では、図示のように、ドレイン領域が、ゲート電極3から離

れるに従って不純物濃度 $2 \times 10^{18} \text{cm}^{-3}$ の中濃度領域6、同 $5 \times 10^{17} \text{cm}^{-3}$ の低濃度領域10、および同 $2 \sim 3 \times 10^{18} \text{cm}^{-3}$ の高濃度領域14から構成されている。従って、本実施例では、中濃度ドレイン領域6によって、サイドウォールスペーサ7および11に注入・捕獲されたホットキャリア電荷による抵抗変調効果を低減し、低濃度ドレイン領域10による電界緩和効果によってホットキャリアの発生を低減することができ、従来のLDD構造に比べて、LDD固有の特性劣化現象を著しく低減させることができる。

第2図は、第1図(d)に示した本発明によるLDD型の新構造トランジスタと、従来の4種類のLDD型トランジスタの電圧ストレスによるトランスコンダクタンス g_m 劣化の時間依存性を示す図である。横軸は時間(秒)、縦軸は g_m 劣化量($\Delta g_m / g_{m0}$)を示す。

図において、111~115はそれぞれn型LDD構造MOSトランジスタの特性を示す。それぞれの高濃度ドレイン領域の不純物濃度は、同じであり、

$2 \sim 3 \times 10^{18} \text{cm}^{-3}$ である。111は従来の標準のLDD構造(低濃度ドレイン領域の不純物濃度は、 $1 \times 10^{17} \text{cm}^{-3}$)、112は低濃度ドレイン領域の不純物濃度を比較的高濃度($1 \times 10^{18} \text{cm}^{-3}$)にした場合、113は低濃度ドレイン領域の不純物濃度を比較的低濃度($5 \times 10^{17} \text{cm}^{-3}$)にした場合の特性を示す。低濃度ドレイン領域の不純物濃度の異なるこれら3種類の従来のLDD構造の中では、標準のLDD構造111が最も g_m の変動が小さい。一方、この標準LDD構造111に対して、第1図(d)に示した本発明による新LDD構造の特性114は、 g_m の劣化量が著しく小さく、ある g_m の劣化量になるまでの時間、すなわちトランジスタの寿命が1~2桁長く、従来構造と比較して優れていることがわかる。なお、本発明と似た構造の従来のLDD型トランジスタとして、第3図に示す2重サイドウォールスペーサを用いたトランジスタの特性も、本図の115に示してある。特性115は、従来のLDD構造の特性111と比較しても悪い。この原因は、ドレイン領域の不純物濃度分布

にある。

すなわち、第3図に示すように、この従来のトランジスタの場合、ゲート電極120に最も近い側に低濃度ドレイン領域123、その外側に中濃度ドレイン領域124およびその外側に高濃度ドレイン領域125を持つ構造に原因がある。つまり、LDD構造固有の g_m 変調効果(サイドウォールスペーサに注入されたホットキャリア電荷による低濃度ドレイン領域の抵抗増大効果)を押えるために、低濃度ドレイン領域123の不純物濃度は従来の標準LDD構造並み(例えば $1 \times 10^{17} \text{cm}^{-3}$)程度に維持しなければならないこと、また、中濃度ドレイン領域124は、低濃度ドレイン領域123に比べて濃度が高いので、この部分の電界緩和効果は、従来の標準LDDと比較して悪いことなどのため、ホットキャリアの発生量が多く、従って g_m の劣化量も大きい。このように第2図に示したごとく、各種LDD構造の中で、本発明による新LDD構造が最もホットキャリアに対する特性(g_m)変動が小さいことがわかる。

第4図は、これらの効果を明瞭に示す例で、LDD型トランジスタにストレス電圧（例えばドレイン電圧＝8V、ゲート電圧は各々のトランジスタにおいて最大基板電流が得られる値）を1000秒間印加した後の、 g_m 劣化量（ $\Delta g_m / g_{m0}$ ）と、低濃度ドレイン領域136の表面不純物濃度（ cm^{-2} ）の関係を示している。図において、132はゲート電極、135は中濃度ドレイン領域、136は低濃度ドレイン領域、137は高濃度ドレイン領域、131は g_m 劣化の不純物濃度依存性、138は従来の標準LDD構造の特性（ g_m 劣化量と低濃度ドレイン領域の不純物濃度との関係）を示す。

この図から明らかなように、 g_m 劣化量は、低濃度ドレイン領域136の表面不純物濃度が $10^{17} \sim 10^{18} cm^{-2}$ の間で最小値を示す。さらに不純物濃度が高くなると、 g_m 劣化量は単調に増大する傾向を示す。ここで、中濃度ドレイン領域135の表面不純物濃度がおよそ $10^{18} cm^{-2}$ であることを考慮すると、低濃度ドレイン領域部136の表面不純物濃度は中濃度ドレイン領域135の表面不純物濃度よ

り低い方が、 g_m 劣化量が小さいことがわかる。

第5図は、ドレイン耐圧（ドレインに印加可能な最大電圧（V））と、低濃度ドレイン領域136の表面不純物濃度（ cm^{-2} ）との関係を示す図である。図において、132はゲート電極、135は中濃度ドレイン領域、136は低濃度ドレイン領域、137は高濃度ドレイン領域、138は従来の標準LDD構造の特性（ドレイン耐圧と低濃度ドレイン領域の不純物濃度との関係）、151はトランジスタが動作困難な領域、152はトランジスタが動作する領域を示す。なお、この場合の実効チャネル長は、 $0.6 \mu m$ である。この図から明らかなように、ドレイン耐圧は、低濃度ドレイン領域136の表面不純物濃度が $10^{17} \sim 10^{18} cm^{-2}$ の間で高い。不純物濃度が $10^{17} cm^{-2}$ より低い領域151では、ドレイン電流はほとんど流れない。

すなわち、低濃度ドレイン領域の濃度の最適範囲は、第4図および第5図の結果から、ほぼ $10^{17} \sim 10^{18} cm^{-2}$ であることがわかる。

実施例 2

第6図（a）～（d）は、第1図（a）～（d）とは異なる方法で、第1図（d）と実質的に同等の構造のLDD型MOSトランジスタを実現する方法を示している。まず、第6図（a）に示すように、p型Si基板21上にゲート酸化膜22、多結晶Siゲート電極23を形成した後、例えば打ち込みエネルギー40keV、ドーズ量 $1 \times 10^{13} cm^{-2}$ の条件でリンのイオン打ち込み24を行い、リンドーブ層25を形成する。

次に、950℃、10分、窒素雰囲気の中でアニールを行って、同図（b）に示すように、中濃度ソース、ドレイン領域26を形成した後、第1の実施例と同様にしてSiO₂からなるサイドウォールスペーサ27を形成し、例えば打ち込みエネルギー25keV、ドーズ量 $2 \times 10^{13} cm^{-2}$ の条件でボロンのイオン打ち込み28を行ってボロンドープ層29を形成する。

次に、上記アニールと同様の条件でアニールを行って、同図（c）に示すように、低濃度ソース、ドレイン領域31およびp型不純物領域30を形成し

た後、例えば打ち込みエネルギー80keV、ドーズ量 $5 \times 10^{13} cm^{-2}$ の条件でヒ素のイオン打ち込み32を行ってヒ素ドーブ層33を形成する。

最後に、上記アニールと同様の条件でアニールを行って、同図（d）に示すように、高濃度ソース、ドレイン領域34を形成して、MOSトランジスタを作製する。すなわち、本実施例でも、ゲート電極23から離れるに従って中濃度ドレイン領域26、低濃度ドレイン領域31、高濃度ドレイン領域34を有するので、従来のLDD構造に比べて、LDD固有の特性劣化現象を著しく低減させることができる。

第7図～第13図はそれぞれ本発明の別の実施例のLDD型MOSトランジスタの断面図である。いずれの図においても、41はp型Si基板、42はゲート酸化膜、43は多結晶Siゲート電極、44はSiO₂サイドウォールスペーサを示す。以下それぞれの実施例について詳細に説明する。

実施例 3

第7図では中濃度ソース、ドレイン領域45の上

に比較的高濃度の高いソース、ドレイン領域46が形成され、これらの不純物領域45および46と、高濃度ソース、ドレイン領域50との間に低濃度ソース、ドレイン領域48が形成されている。比較的高濃度のドレイン領域46はサイドウォールスペース44中に注入されたホットキャリア電荷によるドレイン抵抗変動を防ぐ目的で形成したものである。

実施例 4

第8図は、例えば高打ち込みエネルギー100 keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ の条件でリンのイオン打ち込みによって形成した中濃度ソース、ドレイン領域47と高濃度ソース、ドレイン領域50との間に低濃度ソース、ドレイン領域48を形成した例である。本実施例では、中濃度ドレイン領域47を図示のごとく、深く形成することによって、深さ方向の電界を減らし、従って基板内部の電界を緩和する効果に加えて、低濃度ドレイン領域48を形成することによってドレイン抵抗を増大し、いっそうの電界緩和を図っている。

実施例 5

くする(47)ことによって、深さ方向の電界を緩和し、従って基板内部の電界を緩和することができる。この効果により、本実施例は、第9図より大きな電界緩和効果を有する。

実施例 8

第12図は、第10図の構造に加えて、比較的高濃度のドレイン領域46を形成した例であり、サイドウォールスペース44中に注入、捕獲されたホットキャリア電荷によるドレイン抵抗変動効果を低減でき、従ってトランジスタ特性変化が少ない構造である。

実施例 9

第13図は、第11図の構造に比較的高濃度のドレイン領域46を形成した例であり、第12図の実施例と同様に、ドレイン抵抗変動効果が小さく、従ってトランジスタ特性変化を小さくできる。

(発明の効果)

本発明によれば、従来のLDD型トランジスタのドレイン抵抗を増大させ、このため、基板内部(ソースドレイン間)の電界を緩和させながら、

第9図は、第8図の構造に、第7図に示した比較的高濃度のドレイン領域46を追加することによって、サイドウォールスペース44中に注入、捕獲されたホットキャリア電荷によるドレイン抵抗変動効果を低減し、トランジスタ特性変化を減少させる効果を有する。

実施例 6

第10図において、45は中濃度ソース、ドレイン領域、48は低濃度ソース、ドレイン領域、50は高濃度ソース、ドレイン領域を構成するn型高濃度多結晶Si膜、51は素子間分離用SiO₂膜を示す。本実施例では、高濃度ドレイン領域を基板41上に積み上げた多結晶Si膜50によって構成することによって、中濃度ドレイン領域45を実質的に長くし、ドレイン抵抗を増大し、さらに、低濃度ドレイン領域48を形成することによってドレイン抵抗をいっそう増大させ、大きな電界緩和効果を発揮することができる。

実施例 7

第11図は、第10図の中濃度ドレイン領域45を深

LDD固有の g_m 変動効果を低く維持できる。従って、基板内部の高電界で発生するホットキャリアによるトランジスタ特性劣化を低減し、高信頼度なトランジスタを実現する効果を有する。

4. 図面の簡単な説明

第1図(a)～(d)は本発明の第1の実施例のLDD型MOSトランジスタを示す製造工程断面図、第2図は従来および本発明のLDD型トランジスタのストレス電圧印加による g_m 劣化量の時間依存性を比較して示す図、第3図は従来のLDD型トランジスタの断面図、第4図は低濃度ドレイン領域の表面不純物濃度とストレス電圧印加による g_m 劣化の関係を示す図、第5図は低濃度ドレイン領域の表面不純物濃度とドレイン耐圧の関係を示す図、第6図(a)～(d)は第1図(a)～(d)とは異なる実施例の製造方法を示す工程断面図、第7図～第13図はそれぞれ本発明の別の実施例のLDD型MOSトランジスタの断面構造図である。

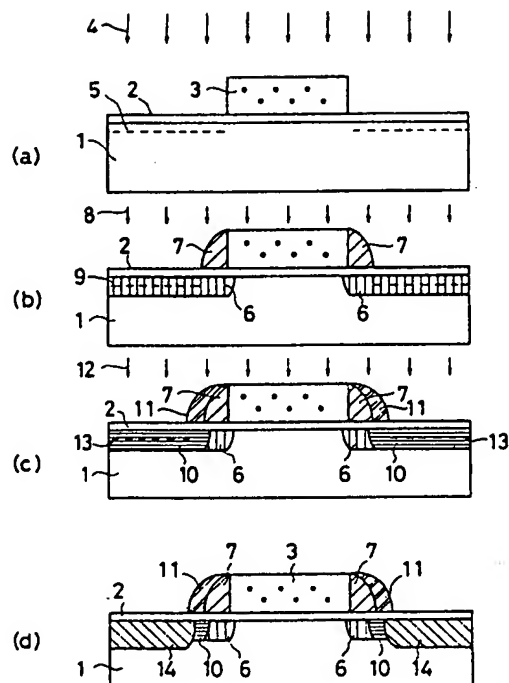
1、21、41…p型Si基板

- 2、22、42…ゲート酸化膜
- 3、23、43、132…多結晶Siゲート電極
- 4、24…リンのイオン打ち込み
- 5、25…リンドーブ層
- 6、26、45、123…中濃度ソース、ドレイン領域
- 7、27、11、44…SiO₂サイドウォールスペーサ
- 8、28…ボロンのイオン打ち込み
- 9、29…ボロンドープ層
- 10、31、48…低濃度ソース、ドレイン領域
- 12、32…ヒ素のイオン打ち込み
- 13、33…ヒ素ドーブ層
- 14、34、50…高濃度ソース、ドレイン領域
- 30、49…p型不純物領域
- 46…比較的高濃度の中濃度ドレイン領域
- 47…深い中濃度ソース、ドレイン領域
- 51…素子間分離用SiO₂膜
- 111…従来の標準LDD構造
- 112…従来の高濃度LDD構造
- 113…従来の低濃度LDD構造
- 114…新構造LDD構造
- 115…2つの低濃度領域を持つ従来のLDD構造
- 7、121、133…第1のサイドウォールスペーサ
- 11、122、134…第2のサイドウォールスペーサ
- 123…低濃度ソース、ドレイン領域
- 124…中濃度ソース、ドレイン領域
- 125…高濃度ソース、ドレイン領域
- 131… ϵ_s 劣化の不純物濃度依存性
- 135…中濃度ドレイン領域
- 136…低濃度ドレイン領域
- 137…高濃度ドレイン領域
- 138…従来の標準LDD構造の特性

代理人 弁理士 中村純之助

第1図

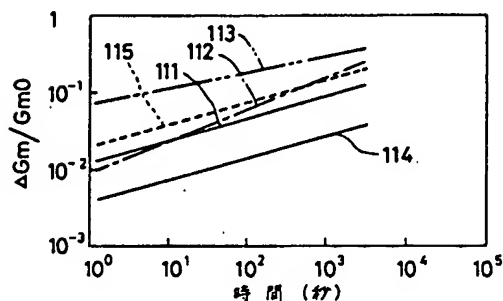
- 1…P型Si基板
- 2…ゲート酸化膜
- 3…多結晶Siゲート電極
- 4…リンのイオン打ち込み
- 5…リンドーブ層
- 6…中濃度ソースドレイン領域
- 7…第1のサイドウォールスペーサ
- 8…ボロンのイオン打ち込み
- 9…ボロンドープ層
- 10…低濃度ソースドレイン領域
- 11…第2のサイドウォールスペーサ
- 12…ヒ素のイオン打ち込み
- 13…ヒ素ドーブ層
- 14…高濃度ソースドレイン領域



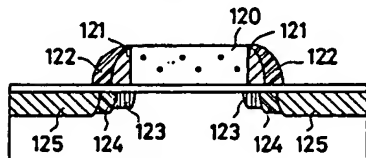
111---従来の標準LDD構造 121---第1のサイドウォールスペーサ
 112---従来の高濃度LDD構造 122---第2のサイドウォールスペーサ
 113---従来の低濃度LDD構造 123---低濃度ドレイン領域
 114---新構造LDD構造 124---中濃度ドレイン領域
 115---2つの低濃度領域を持つ従来のLDD構造 125---高濃度ドレイン領域

131--- gm 劣化の不純物濃度 135---中濃度ドレイン領域
 132---多結晶Siゲート電極 136---低濃度ドレイン領域
 133---第1のサイドウォールスペーサ 137---高濃度ドレイン領域
 134---第2のサイドウォールスペーサ 138---従来の標準LDD構造の特性

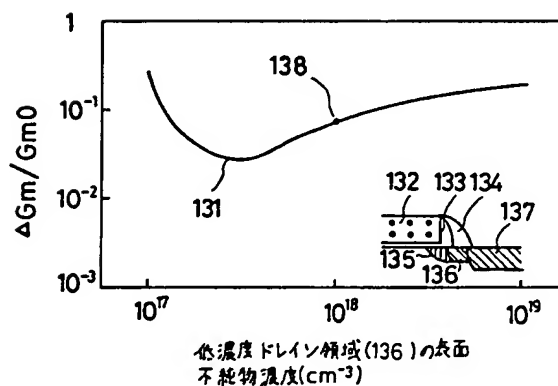
第2図



第3図

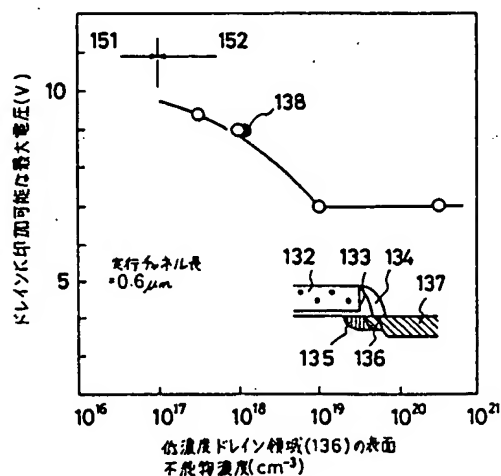


第4図



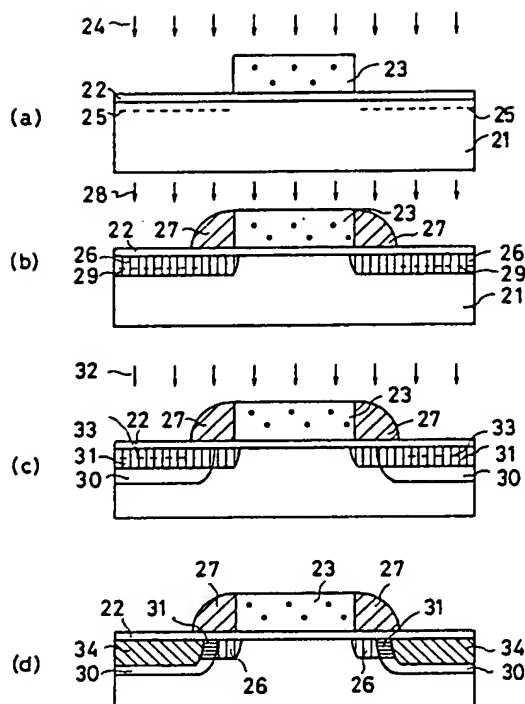
132---多結晶Siゲート電極 137---高濃度ドレイン領域
 133---第1のサイドウォールスペーサ 138---従来の標準LDD構造
 134---第2のサイドウォールスペーサ 151---トランジスタが動作困難な領域
 135---中濃度ドレイン領域 152---トランジスタが動作する領域
 136---低濃度ドレイン領域

第5図



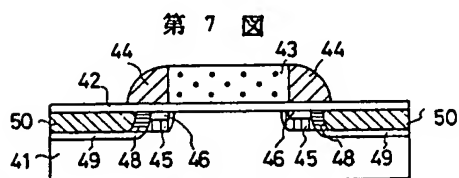
第 6 図

- 21...P型Si基板
 22...ゲート酸化膜
 23...多結晶Siゲート電極
 24...リンのイオン打ち込み
 25...リンドーパ層
 26...中濃度ソースドレイン領域
 27...サイドウォールスペーサ
 28...ボロンのイオン打ち込み
 29...ボロンドープ層
 30...P型不純物領域
 31...低濃度ソースドレイン領域
 32...ヒ素のイオン打ち込み
 33...ヒ素ドーパ層
 34...高濃度ソースドレイン領域

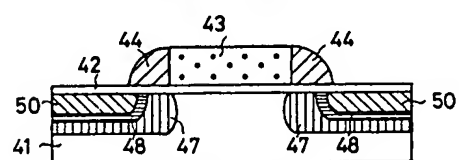


第 7 図

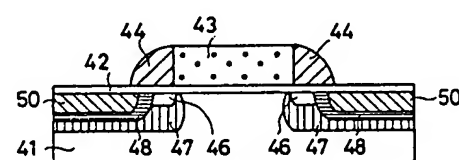
- 41...P型Si基板
 42...ゲート酸化膜
 43...多結晶Siゲート電極
 44...サイドウォールスペーサ
 45...中濃度ソースドレイン領域
 46...比較的高濃度のソースドレイン領域
 47...深い中濃度ソースドレイン領域
 48...低濃度ドレイン領域
 49...P型不純物領域
 50...高濃度ソースドレイン領域
 51...素子間分離用SiO₂膜



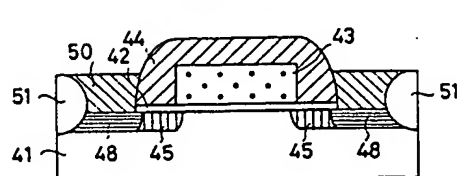
第 8 図



第 9 図

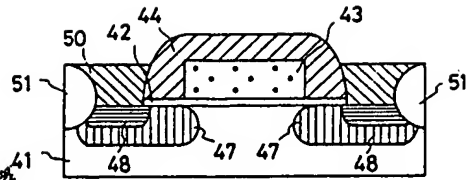


第 10 図

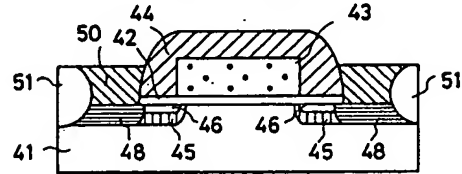


第 11 図

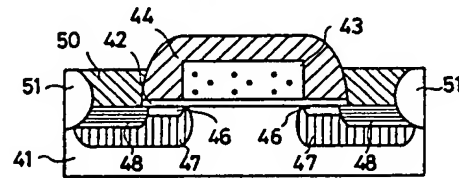
- 41---P型Si基板
 42---ゲート酸化膜
 43---多結晶Siゲート電極
 44---サイドウォールスペーサ
 45---中濃度ソースドレイン領域
 46---比較的高濃度の中濃度ソースドレイン領域
 47---深い中濃度ソースドレイン領域
 48---低濃度ソースドレイン領域
 50---P型不純物領域
 51---素子間分離用SiO₂膜



第 12 図



第 13 図



第 1 頁の続き

②発 明 者

濱 田

明 美

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内